

Copy of Prior Art

Patent Document 5

Japanese Patent Publication No.10-209815

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-209815

(43)公開日 平成10年(1998) 8月7日

(51)Int.Cl.⁶
H 0 3 H 17/00
17/02
H 0 3 M 3/02

識別記号
6 2 1
6 3 3
6 6 1

F I
H 0 3 H 17/00
17/02
H 0 3 M 3/02

6 2 1 C
6 3 3 A
6 6 1 B

審査請求 未請求 請求項の数3 O L (全 14 頁)

(21)出願番号 特願平9-12845
(22)出願日 平成9年(1997) 1月27日

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 畠中 秀晃
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 金秋 哲彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 傍島 彰
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 デシメーションフィルタ

(57)【要約】

【課題】 オーバーサンプリング型A/D変換装置に用いるデシメーションフィルタの回路規模と消費電力の削減を図る。

【解決手段】 伝達関数 $H_1(Z)$

【数1】

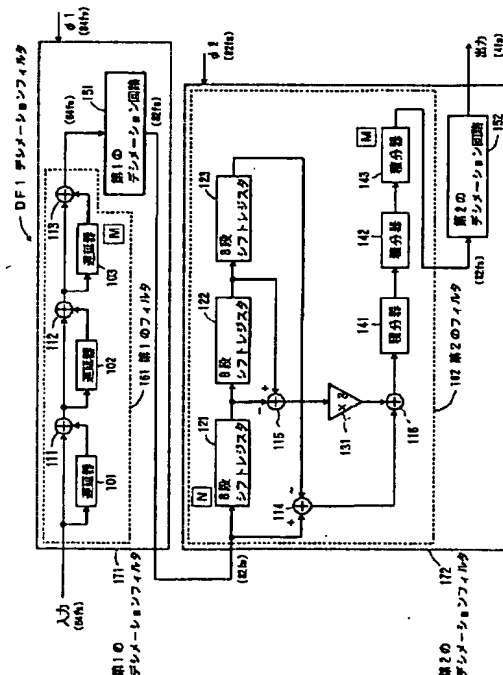
$$H_1(Z) = \left(\frac{1-Z^{-M}}{1-Z^{-1}} \right)^M$$

(Mは自然数)を有する第1のフィルタ161と、第1のフィルタの出力を2分の1にデシメーションする第1のデシメーション回路151と、第1のデシメーション回路の出力を入力とし、伝達関数 $H_2(Z)$

【数2】

$$H_2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^N$$

(Nは自然数)を有する第2のフィルタ162と、第2のフィルタの出力をN分の1にデシメーションする第2のデシメーション回路152とを備え、第2のフィルタが第1のフィルタの1/2の周波数のクロックで動作する。



【特許請求の範囲】

【請求項1】 Mを自然数として、

【数1】

$$H1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^M$$

で表されるZ変換表示による伝達関数H1(Z)を有する第1のフィルタと、

前記第1のフィルタの出力を2分の1にデシメーションする第1のデシメーション回路と、

前記第1のデシメーション回路の出力を入力とし、Nを自然数として、

【数2】

$$H2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^M$$

で表される伝達関数H2(Z)を有する第2のフィルタと、

前記第2のフィルタの出力をN分の1にデシメーションする第2のデシメーション回路とを備えて構成され、

前記第2のフィルタが前記第1のフィルタの2分の1の周波数のクロックで動作するように構成されていることを特徴とするデシメーションフィルタ。

【請求項2】 第1のフィルタに対する入力、アナログ信号をQビット(Qは自然数)のデジタル信号に変換するM次のデルタシグマ変調器の出力であり、かつ、前記第1のフィルタの出力ビット数が(Q+M)未満であるように構成されていることを特徴とする請求項1に記載のデシメーションフィルタ。

【請求項3】 アナログ信号をデジタル信号に変換するL次(Lは自然数)のデルタシグマ変調器と、

前記デルタシグマ変調器の出力を入力とし、

【数3】

$$H3(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^L$$

で表される伝達関数H3(Z)を有する第1のフィルタと、

前記第1のフィルタの出力を2分の1にデシメーションする第1のデシメーション回路と、

前記第1のデシメーション回路の出力を入力とし、KおよびMを自然数として、

【数4】

$$H4(Z) = \left(\frac{1-Z^{-K}}{1-Z^{-1}} \right)^M$$

で表される伝達関数H4(Z)を有する第2のフィルタと、

前記第2のフィルタの出力をK分の1にデシメーションする第2のデシメーション回路とを備えて構成され、

前記第2のフィルタが前記第1のフィルタの2分の1の周波数のクロックで動作するように構成され、かつ、前記第2のフィルタの次数Mが前記第1のフィルタの次数L未満に定められていることを特徴とするデシメーションフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル化されたアナログ信号のサンプリング周波数を変換して信号列の間引きを行うデシメーションフィルタに関するものである。

【0002】

【従来の技術】 従来のデシメーションフィルタについて、図6を用いて説明する。なお、この技術については「National Technical Report VOL.34No.2 Apr.1988 p.p.43」にその記載がある。

【0003】 図6は従来のデシメーションフィルタの構成を示すブロック図である。動作クロックφ1は、サンプリング周波数fs(以下単にfsと記載する)の64倍のオーバーサンプリングの周波数(64fs)をもつ。段数16のシフトレジスタ601、602、603は、信号を動作クロックφ1の16クロック分遅延させる。1番目のシフトレジスタ601は入力信号を遅延し、出力する。2番目のシフトレジスタ602はシフトレジスタ601の出力を入力とし、遅延し、出力する。3番目のシフトレジスタ603はシフトレジスタ602の出力を入力とし、遅延し、出力する。減算器611は入力信号から3番目のシフトレジスタ603の出力を減算する。減算器612は2番目のシフトレジスタ602の出力から1番目のシフトレジスタ601の出力を減算する。乗算器621は減算器612の出力を3倍する。加算器613は減算器611の出力と乗算器621の出力を加算する。1番目の積分器631は加算器613の出力を積分する。2番目の積分器632は積分器631の出力を積分する。3番目の積分器633は積分器632の出力を積分する。デシメーション回路641は、3番目の積分器633の出力信号列を16分の1の信号列に間引きく。上記の構成のうちデシメーション回路641を除く部分がクロックφ1で動作するフィルタ651を構成しており、フィルタ651とデシメーション回路641とによってデシメーションフィルタDF4が構成されている。

【0004】 次に、以上のように構成されたデシメーションフィルタDF4の動作について説明する。デシメーションフィルタDF4はクロックφ1で動作する。デシメーション回路641を除くフィルタ651は、(数

5) に示す伝達関数 $H(Z)$ のローパスフィルタ特性をもつ。

【0005】

【数5】

$$H(Z) = \left(\frac{1-Z^{-16}}{1-Z^{-1}} \right)^3$$

【0006】この伝達関数 $H(Z)$ のローパスフィルタの周波数特性を図7に示す。

【0007】このフィルタ651はその特性から櫛形フィルタと呼ばれる。クロック ϕ 1の周波数(64fs)の16分の1の周波数4fsの整数倍毎にゼロ点をもち、3次の積分特性を有する。この伝達関数 $H(Z)$ をもつローパスフィルタ651のゲインは、16の3乗倍(16³)になる。(数5)による信号列は、デシメーション回路641により16分の1の周波数4fsの信号列になる。

【0008】このデシメーションフィルタDF4の回路規模は、入力信号のビット数に比例し、消費電力は、回路規模と動作クロックに比例する。また、ローパスフィルタ651の積分次数の変更は、(数5)に示す伝達関数 $H(Z)$ の肩の添え字の変更で行う。

【0009】

【発明が解決しようとする課題】従来のデシメーションフィルタにおいては、入力信号のビット数やローパスフィルタの積分次数に比例して回路規模が増加し、回路規模と動作クロックに比例して消費電力が増加する。

【0010】本発明は、デシメーションフィルタの回路規模と消費電力の削減を目的としている。

【0011】

【課題を解決するための手段】この課題を解決するために本発明に係るデシメーションフィルタは、Mを自然数として、

【0012】

【数1】

$$H1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^M$$

【0013】で表されるZ変換表示による伝達関数 $H1(Z)$ を有する第1のフィルタと、前記第1のフィルタの出力を2分の1にデシメーションする第1のデシメーション回路と、前記第1のデシメーション回路の出力を入力とし、Nを自然数として、

【0014】

【数2】

$$H2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^M$$

【0015】で表される伝達関数 $H2(Z)$ を有する第2のフィルタと、前記第2のフィルタの出力をN分の1にデシメーションする第2のデシメーション回路とを備えて構成され、前記第2のフィルタが前記第1のフィルタの2分の1の周波数のクロックで動作するように構成されていることを特徴としている。これにより、第2のフィルタが第1のフィルタの2分の1の周波数のクロックで動作するので、デシメーションフィルタの消費電力を削減できる。

【0016】また、本発明に係るデシメーションフィルタは、上記構成において、第1のフィルタに対する入力、アナログ信号をQビット(Qは自然数)のデジタル信号に変換するM次のデルタシグマ変調器の出力であり、かつ、前記第1のフィルタの出力ビット数が(Q+M)未満であるように構成されていることを特徴としている。これにより、第2のフィルタが、第1のフィルタの2分の1の周波数のクロックで動作し、しかも、第1のフィルタの出力ビット数が(Q+M)未満となるので、デシメーションフィルタの回路規模の削減と、大幅な消費電力の削減が図れる。

【0017】さらに、本発明に係るデシメーションフィルタは、アナログ信号をデジタル信号に変換するL次(Lは自然数)のデルタシグマ変調器と、前記デルタシグマ変調器の出力を入力とし、

【0018】

【数3】

$$H3(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^L$$

【0019】で表される伝達関数 $H3(Z)$ を有する第1のフィルタと、前記第1のフィルタの出力を2分の1にデシメーションする第1のデシメーション回路と、前記第1のデシメーション回路の出力を入力とし、KおよびMを自然数として、

【0020】

【数4】

$$H4(Z) = \left(\frac{1-Z^{-K}}{1-Z^{-1}} \right)^M$$

【0021】で表される伝達関数 $H4(Z)$ を有する第2のフィルタと、前記第2のフィルタの出力をK分の1にデシメーションする第2のデシメーション回路とを備えて構成され、前記第2のフィルタが前記第1のフィルタの2分の1の周波数のクロックで動作するように構成

され、かつ、前記第2のフィルタの次数Mが前記第1のフィルタの次数L未満に定められていることを特徴としている。第2のフィルタが第1のフィルタの2分の1の周波数のクロックで動作し、しかも、第2のフィルタの次数Mが第1のフィルタの次数L未満に定められているので、デルタシグマ変調器の次数が増加した場合に、デシメーションフィルタは、第1のフィルタの次数変更のみで対応できる。これにより、デルタシグマ変調器の次数増加に伴うデシメーションフィルタ全体の回路規模と消費電力の増加を最小限に抑えることができる。

【0022】

【発明の実施の形態】本発明に係る請求項1のデシメーションフィルタは、Mを自然数として、

【0023】

【数1】

$$H1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^M$$

【0024】で表されるZ変換表示による伝達関数H1(Z)を有する第1のフィルタと、前記第1のフィルタの出力を2分の1にデシメーションする第1のデシメーション回路と、前記第1のデシメーション回路の出力を入力とし、Nを自然数として、

【0025】

【数2】

$$H2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^M$$

【0026】で表される伝達関数H2(Z)を有する第2のフィルタと、前記第2のフィルタの出力をN分の1にデシメーションする第2のデシメーション回路とを備えて構成され、前記第2のフィルタが前記第1のフィルタの2分の1の周波数のクロックで動作するように構成されていることを特徴としている。第2のフィルタが第1のフィルタの2分の1の周波数のクロックで動作するので、デシメーションフィルタの消費電力を削減できる。

【0027】本発明に係る請求項2のデシメーションフィルタは、上記請求項1において、第1のフィルタに対する入力信号がアナログ信号をQビット(Qは自然数)のデジタル信号に変換するM次のデルタシグマ変調器の出力であり、かつ、前記第1のフィルタの出力ビット数が(Q+M)未満であるように構成されていることを特徴としている。第2のフィルタが、第1のフィルタの2分の1の周波数のクロックで動作し、しかも、第1のフィルタの出力ビット数が(Q+M)未満となるので、デシメーションフィルタの回路規模の削減と、大幅な消費電力の削減が図れる。

【0028】本発明に係る請求項3のデシメーションフィルタは、アナログ信号をデジタル信号に変換するL次(Lは自然数)のデルタシグマ変調器と、前記デルタシグマ変調器の出力を入力とし、

【0029】

【数3】

$$H3(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^L$$

【0030】で表される伝達関数H3(Z)を有する第1のフィルタと、前記第1のフィルタの出力を2分の1にデシメーションする第1のデシメーション回路と、前記第1のデシメーション回路の出力を入力とし、KおよびMを自然数として、

【0031】

【数4】

$$H4(Z) = \left(\frac{1-Z^{-K}}{1-Z^{-1}} \right)^M$$

【0032】で表される伝達関数H4(Z)を有する第2のフィルタと、前記第2のフィルタの出力をK分の1にデシメーションする第2のデシメーション回路とを備えて構成され、前記第2のフィルタが前記第1のフィルタの2分の1の周波数のクロックで動作するように構成され、かつ、前記第2のフィルタの次数Mが前記第1のフィルタの次数L未満に定められていることを特徴としている。第2のフィルタが第1のフィルタの2分の1の周波数のクロックで動作し、しかも、第2のフィルタの次数Mが第1のフィルタの次数L未満に定められているので、デルタシグマ変調器の次数が増加した場合に、デシメーションフィルタは、第1のフィルタの次数変更のみで対応できる。これにより、デルタシグマ変調器の次数増加に伴うデシメーションフィルタ全体の回路規模と消費電力の増加を最小限に抑えることができる。

【0033】以下、本発明に係るデシメーションフィルタの具体的な実施の形態について、図面に基づいて詳細に説明する。

【0034】【実施の形態1】図1は本発明の実施の形態1に係るデシメーションフィルタの構成を示すブロック図である。このデシメーションフィルタDF1は、第1のデシメーションフィルタ171と第2のデシメーションフィルタ172とから構成されている。第1のデシメーションフィルタ171における第1のフィルタ161の伝達関数H1(Z)を(数1)とし、第2のデシメーションフィルタ172における第2のフィルタ162の伝達関数H2(Z)を(数2)としたときに、

【0035】

【数1】

7

$$H1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^M$$

【0036】

【数2】

$$H2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^M$$

【0037】において、積分次数 $M=3$ 、シフトレジスタ段数 $N=8$ の場合について示している。

【0038】図1に示す第1のデシメーションフィルタ171において、遅延器101、102、103はサンプリング周波数 f_s （以下単に f_s と記載する）の64倍オーバーサンプリングの周波数 $64f_s$ のクロック ϕ_1 で動作し、信号をクロック ϕ_1 の1クロック分遅延し、出力する。1番目の遅延器101は入力信号を遅延し、加算器111の入力とする。加算器111は入力信号と遅延器101の出力を加算する。2番目の遅延器102は加算器111の出力を遅延し、加算器112の入力とする。加算器112は加算器111の出力と遅延器102の出力を加算する。3番目の遅延器103は加算器112の出力を遅延し、加算器113の入力とする。加算器113は加算器112の出力と遅延器103の出力を加算する。第1のデシメーション回路151は加算器113の $64f_s$ の出力信号列を $64f_s$ の半分の周波数のクロック ϕ_2 （ $=32f_s$ ）の信号列に間引く。

【0039】第1のデシメーションフィルタ171は、遅延器101、102、103、加算器111、112、113および第1のデシメーション回路151で構成されている。上記の構成のうち第1のデシメーション回路151を除く部分が第1のフィルタ161を構成しており、第1のフィルタ161と第1のデシメーション回路151とによって第1のデシメーションフィルタ171が構成されている。第1のデシメーション回路11は、 $64f_s$ の入力信号に対し2分の1の間引いて $32f_s$ で信号を出力する。遅延器101、102、103の個数3が第1のフィルタ161の伝達関数 $H1(Z)$ の積分次数 $M=3$ を決めている。

【0040】第2のデシメーションフィルタ172において、段数8のシフトレジスタ121、122、123は、第1のデシメーションフィルタ171のクロック ϕ_1 （ $64f_s$ ）の2分の1の周波数のクロック ϕ_2 （ $32f_s$ ）で動作し、信号をクロック ϕ_2 の8クロック分遅延し、出力する。1番目のシフトレジスタ121は前段の第1のデシメーションフィルタ171の出力を遅延し、シフトレジスタ122の入力とする。2番目のシフトレジスタ122はシフトレジスタ121の出力を遅延し、シフトレジスタ123の入力とする。3番目のシフ

8

トレジスタ123はシフトレジスタ122の出力を遅延し、出力する。減算器114は第1のデシメーションフィルタ171の出力から3番目のシフトレジスタ123の出力を減算する。減算器115は2番目のシフトレジスタ122の出力から1番目のシフトレジスタ121の出力を減算する。乗算器131は減算器115の出力を3倍にして出力する。加算器116は減算器114の出力と乗算器131の出力を加算する。1番目の積分器141は加算器116の出力を積分して出力する。2番目の積分器142は積分器141の出力を積分して出力する。3番目の積分器143は積分器142の出力を積分して出力する。第2のデシメーション回路152は3番目の積分器143の $32f_s$ の出力信号列を $32f_s$ の N 分の1すなわちここでは8分の1の周波数 $4f_s$ の信号列に間引く。

【0041】第2のデシメーションフィルタ172は、シフトレジスタ121、122、123、減算器114、115、加算器116、乗算器131、積分器141、142、143および第2のデシメーション回路152で構成されている。上記の構成のうち第2のデシメーション回路152を除く部分が第2のフィルタ162を構成しており、第2のフィルタ162と第2のデシメーション回路152とによって第2のデシメーションフィルタ172が構成されている。第2のデシメーションフィルタ172は、 $32f_s$ の入力信号に対しローパスフィルタ処理を行い、 $4f_s$ で信号を出力する。シフトレジスタ121、122、123の段数8が第2のフィルタ162の伝達関数 $H2(Z)$ の次数 $N=8$ を決めている。また、積分器141、142、143の個数が第2のフィルタ162の伝達関数 $H2(Z)$ の積分次数 $M=3$ を決めている。

【0042】以上のように構成された実施の形態1に係るデシメーションフィルタDF1について、以下にその動作を説明する。

【0043】入力信号は $64f_s$ のデジタル信号とする。第1のデシメーションフィルタ171はクロック ϕ_1 （ $64f_s$ ）で動作する。第1のデシメーション回路151を除く第1のフィルタ161の動作により、（数6）に示す伝達関数 $H1(Z)$ のローパスフィルタ特性をもつ。

【0044】

【数6】

$$H1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^3$$

【0045】この第1のフィルタ161はその特性から楕円フィルタと呼ばれる。クロック ϕ_1 （ $64f_s$ ）の周波数の2分の1の周波数（ $32f_s$ ）にゼロ点をもち、3次の積分特性を有する。よって、伝達関数 $H1$

(Z) のローパスフィルタである第1のフィルタ161のゲインは、2の3乗倍(2³)になる。このことは、第2のデシメーションフィルタ172の入力信号のビット数が第1のデシメーションフィルタ171の入力信号のビット数より3ビット多くなることを示す。(数6)による信号列は、第1のデシメーション回路151により2分の1の周波数32fsの信号列になる。

【0046】第2のデシメーションフィルタ172はクロックφ2(32fs)で動作する。第2のデシメーション回路152を除く第2のフィルタ162の動作により、(数7)に示す伝達関数H2(Z)のローパスフィルタ特性をもつ。

【0047】

【数7】

$$H2(Z) = \left(\frac{1-Z^{-8}}{1-Z^{-1}} \right)^3$$

【0048】この第2のフィルタ162はクロックφ2(32fs)の周波数の8分の1の周波数(4fs)の整数倍毎にゼロ点をもち、3次の積分特性を有する。よって、伝達関数H2(Z)のローパスフィルタである第2のフィルタ162のゲインは、8の3乗倍(8³)になる。(数7)による信号列は第2のデシメーション回

$$H12(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^3 * \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

$$= \left(\frac{1-Z^{-16}}{1-Z^{-1}} \right)^3$$

【0052】この総合の伝達関数H12(Z)のローパスフィルタの周波数特性を図4に示す。

【0053】本実施の形態1に係るデシメーションフィルタDF1の総合の伝達関数H12(Z)のゲインは4096倍(=16³)であり、従来の技術のデシメーションフィルタと同一である。

【0054】以上のように本実施の形態1に係るデシメーションフィルタDF1は、デシメーション(間引き)処理を、第1のデシメーションフィルタ171と第2のデシメーションフィルタ172とに分割して実現することで、従来構成のデシメーションフィルタの特性と同じ特性を確保しつつ、回路規模と消費電力とが大きな第2のデシメーションフィルタ172の動作クロックを従来構成の場合のφ1(64fs)に比べて2分の1のφ2(32fs)へと半減することができる。よって、消費電力を従来のデシメーションフィルタの半分に削減することができる。また、第2のデシメーションフィルタ1

路152により8分の1の周波数4fsの信号列になる。第2のフィルタ162がもつローパスフィルタ特性の伝達関数H2(Z)を2倍の周波数をもつクロックφ1で表すと(数8)に示す伝達関数H2'(Z)になる。

【0049】

【数8】

$$H2'(Z) = \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

【0050】よって、本実施の形態1に係るデシメーションフィルタDF1は、第1のデシメーションフィルタ171における第1のフィルタ161の伝達関数H1(Z)と第2のデシメーションフィルタ172における第2のフィルタ162の伝達関数H2'(Z)とを掛け算したものであり、(数9)に示す総合の伝達関数H12(Z)のローパスフィルタ特性をもつことになる。これは、従来の技術に係る図6のデシメーションフィルタの場合の(数5)に示す伝達関数H(Z)と同じものである。

【0051】

【数9】

72と従来構成のデシメーションフィルタとを比較すると、従来では段数が16であったシフトレジスタの段数を半分の8にすることができ、全体としての回路規模を削減することができる。

【0055】なお、デシメーションフィルタDF1の次数および動作周波数は説明のための一例であり、もちろん、これに限定するものではない。

【0056】〔実施の形態2〕図2は本発明に係る実施の形態2のデシメーションフィルタの構成を示すブロック図である。このデシメーションフィルタDF2は、第1のデシメーションフィルタ271と第2のデシメーションフィルタ272とから構成されている。第1のデシメーションフィルタ271における第1のフィルタ261の伝達関数H1(Z)を(数1)とし、第2のデシメーションフィルタ272における第2のフィルタ262の伝達関数H2(Z)を(数2)としたときに、

【0057】

【数1】

$$H1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^M$$

【0058】

【数2】

$$H2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^M$$

【0059】において、積分次数 $M=3$ 、シフトレジスタ段数 $N=8$ の場合について示している。そして、次数を第1のフィルタ261の積分次数 $M=3$ に合わせた3次デルタシグマ($\Delta\Sigma$)変調器281として、アナログ入力信号を4ビット・64fsのデジタル信号に変換するものを用いている。したがって、ここでは、第1のフィルタ261への入力ビット数 $Q=4$ となっている。

【0060】第1のデシメーションフィルタ271において、遅延器201、202、203はサンプリング周波数fsの64倍の周波数64fsのクロック $\phi 1$ で動作し、信号をクロック $\phi 1$ の1クロック分遅延し、出力する。1番目の遅延器201は3次デルタシグマ変調器281の出力を遅延し、加算器211の入力とする。加算器211は3次デルタシグマ変調器281の出力と遅延器201の出力を加算する。2番目の遅延器202は加算器211の出力を遅延し、加算器212の入力とする。加算器212は加算器211の出力と遅延器202の出力を加算する。3番目の遅延器203は加算器212の出力を遅延し、加算器213の入力とする。加算器213は加算器212の出力と遅延器203の出力を加算する。第1のデシメーション回路251は加算器213の64fsの出力信号列を64fsの半分の周波数のクロック $\phi 2$ (=32fs)の信号列に間引く。

【0061】第1のデシメーションフィルタ271は、遅延器201、202、203、加算器211、212、213および第1のデシメーション回路251で構成されている。上記の構成のうち第1のデシメーション回路251を除く部分が第1のフィルタ261を構成しており、第1のフィルタ261と第1のデシメーション回路251とによって第1のデシメーションフィルタ271が構成されている。第1のデシメーション回路251は、64fsの入力信号に対し32fsで信号を出力する。遅延器201、202、203の個数3が第1のフィルタ261の伝達関数 $H1(Z)$ の積分次数 $M=3$ を決めている。

【0062】第2のデシメーションフィルタ272において、段数8のシフトレジスタ221、222、223は、第1のデシメーションフィルタ271のクロック $\phi 1$ (64fs)の2分の1の周波数のクロック $\phi 2$ (3

2fs)で動作し、信号をクロック $\phi 2$ の8クロック分遅延し、出力する。1番目のシフトレジスタ221は前段の第1のデシメーションフィルタ271の出力を遅延し、シフトレジスタ222の入力とする。2番目のシフトレジスタ222はシフトレジスタ221の出力を遅延し、シフトレジスタ223の入力とする。3番目のシフトレジスタ223はシフトレジスタ222の出力を遅延し、出力する。減算器214は第1のデシメーションフィルタ271の出力から3番目のシフトレジスタ223の出力を減算する。減算器215は2番目のシフトレジスタ222の出力から1番目のシフトレジスタ221の出力を減算する。乗算器231は減算器215の出力を3倍にして出力する。加算器216は減算器214の出力と乗算器231の出力を加算する。1番目の積分器241は加算器216の出力を積分して出力する。2番目の積分器242は積分器241の出力を積分して出力する。3番目の積分器243は積分器242の出力を積分して出力する。第2のデシメーション回路252は3番目の積分器243の32fsの出力信号列を32fsのN分の1すなわちここでは8分の1の周波数4fsの信号列に間引く。

【0063】第2のデシメーションフィルタ272は、シフトレジスタ221、222、223、減算器214、215、加算器216、乗算器231、積分器241、242、243および第2のデシメーション回路252で構成されている。上記の構成のうち第2のデシメーション回路252を除く部分が第2のフィルタ262を構成しており、第2のフィルタ262と第2のデシメーション回路252とによって第2のデシメーションフィルタ272が構成されている。第2のデシメーションフィルタ272は、32fsの入力信号に対しローパスフィルタ処理を行い、4fsで信号を出力する。シフトレジスタ221、222、223の段数8が第2のフィルタ262の伝達関数 $H2(Z)$ の次数 $N=8$ を決めている。また、積分器241、242、243の個数が第2のフィルタ262の伝達関数 $H2(Z)$ の積分次数 $M=3$ を決めている。

【0064】以上のように構成された実施の形態2に係るデシメーションフィルタDF2について、以下にその動作を説明する。

【0065】3次デルタシグマ変調器281はアナログ入力信号と量子化誤差の3次微分特性を有する4ビット・64fsのデジタル信号を出力する。このとき、入力ビット数 $Q=4$ である。第1のデシメーションフィルタ271は、その3次微分特性を有する4ビット・64fsのデジタル信号を入力し、クロック $\phi 1$ (64fs)で動作する。第1のデシメーション回路251を除く第1のフィルタ261の動作により、(数6)に示す伝達関数 $H1(Z)$ のローパスフィルタ特性をもつ。

【0066】

13

【数6】

$$H1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^3$$

【0067】この第1のフィルタ261はその特性が楕形で、クロックφ1(64fs)の周波数の2分の1の周波数(32fs)にゼロ点をもち、3次の積分特性を有する。よって、伝達関数H1(Z)のローパスフィルタである第1のフィルタ261のゲインは、2の3乗倍(2³)になる。すなわち、3ビットの増加になる。しかし、3次デルタシグマ変調器281の出力信号には、高周波成分が含まれており、この高周波成分は、(数6)に示す伝達関数H1(Z)のローパスフィルタ特性により減衰され、加算器213の出力は5ビットになる。(数6)による信号列は第1のデシメーション回路251により2分の1の周波数32fsの信号列になる。よって、第1のデシメーションフィルタ271は、10 入力4ビット、伝達関数H1(Z)のゲインが3ビットで、計算上では4ビット+3ビット=7ビットとなるはずであるにもかかわらず、実際上では出力ビット数を5ビットまで少なくすることができる。

【0068】第2のデシメーションフィルタ272の入力信号は、第1のデシメーションフィルタ271の出力信号の5ビット・32fsのデジタル信号である。第2のデシメーションフィルタ272はクロックφ2(32fs)で動作する。第2のデシメーション回路252を除く第2のフィルタ262の動作により、(数7)に示す伝達関数H2(Z)のローパスフィルタ特性をもつ。

【0069】

【数7】

$$H12(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^3 * \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

$$= \left(\frac{1-Z^{-16}}{1-Z^{-1}} \right)^3$$

【0074】この総合の伝達関数H12(Z)のローパスフィルタの周波数特性は図4に示すとおりである。

【0075】本実施の形態2に係るデシメーションフィルタDF2の総合の伝達関数H12(Z)のゲインは4096倍(=16³)であり、実施の形態1あるいは従来の技術のデシメーションフィルタと同一である。

【0076】以上のように本実施の形態2に係るデシメーションフィルタDF2は、デシメーション(間引き)処理を、第1のデシメーションフィルタ271と第2の

14

$$H2(Z) = \left(\frac{1-Z^{-8}}{1-Z^{-1}} \right)^3$$

【0070】この第2のフィルタ262はクロックφ2(32fs)の周波数の8分の1の周波数(4fs)の整数倍毎にゼロ点をもち、3次の積分特性を有する。よって、伝達関数H2(Z)のローパスフィルタである第2のフィルタ262のゲインは、8の3乗倍(8³)になる。(数7)による信号列は第2のデシメーション回路252により8分の1の周波数4fsの信号列になる。第2のフィルタ262がもつローパスフィルタ特性についてのクロックφ2を基準とする伝達関数H2(Z)を2倍の周波数をもつクロックφ1の基準で書き直すと、(数8)に示す伝達関数H2'(Z)になる。

【0071】

【数8】

$$H2'(Z) = \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

【0072】よって、本実施の形態2に係るデシメーションフィルタDF2は、第1のデシメーションフィルタ271における第1のフィルタ261の伝達関数H1(Z)と第2のデシメーションフィルタ272における第2のフィルタ262の伝達関数H2'(Z)とを掛け算したものであり、(数9)に示す総合の伝達関数H12(Z)のローパスフィルタ特性をもつことになる。これは、実施の形態1に係るデシメーションフィルタDF1の場合と同じものである。

【0073】

【数9】

$$H12(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^3 * \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

デシメーションフィルタ272とに分割して実現することで、実施の形態1あるいは従来構成と同じ特性を確保しつつ、回路規模と消費電力の大きな第2のデシメーションフィルタ272の動作クロックを従来構成の場合のφ1(64fs)に比べて2分の1のφ2(32fs)へと半減することができる。さらに、第1のデシメーションフィルタ271の入力信号が3次デルタシグマ変調器281からの4ビット・64fsのアナログ信号の場合は、第1のデシメーションフィルタ271の出力信号

のビット数を削減でき、それに伴って、第2のデシメーションフィルタ272の回路規模を小さく構成できる。よって、従来構成のデシメーションフィルタの特性と同じ特性を確保しつつ、従来のデシメーションフィルタに比べ、回路規模をほぼ半分に削減でき、消費電力を4分の1に削減できる。

【0077】なお、前段のデルタシグマ変調器の出力ビット数、デルタシグマ変調器とデシメーションフィルタDF2の次数および動作周波数は説明のための一例であり、もちろん、これに限定するものではない。

【0078】〔実施の形態3〕図3は本発明に係る実施の形態3のデシメーションフィルタの構成を示すブロック図である。このデシメーションフィルタDF3は、第1のデシメーションフィルタ371と第2のデシメーションフィルタ372とから構成されている。第1のデシメーションフィルタ371における第1のフィルタ361の伝達関数 $H3(Z)$ を(数3)とし、第2のデシメーションフィルタ372における第2のフィルタ362の伝達関数 $H4(Z)$ を(数4)としたときに、

【0079】

〔数3〕

$$H3(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^L$$

【0080】

〔数4〕

$$H4(Z) = \left(\frac{1 - Z^{-K}}{1 - Z^{-1}} \right)^M$$

【0081】において、次数 $L=4$ を第1のフィルタ361の積分次数 $M=3$ よりも大きくした4次デルタシグマ変調器381を用いている。また、積分次数 $M=3$ 、シフトレジスタ段数 $K=8$ の場合について示している。4次デルタシグマ変調器381は入力アナログ入力信号を64fsのデジタル信号に変換する。

【0082】第1のデシメーションフィルタ371において、遅延器301、302、303、304はサンプリング周波数fsの64倍の周波数64fsのクロックφ1で動作し、信号をクロックφ1の1クロック分遅延し、出力する。1番目の遅延器301は4次デルタシグマ変調器381の出力を遅延し、加算器311の入力とする。加算器311は4次デルタシグマ変調器381の出力と遅延器301の出力を加算する。2番目の遅延器302は加算器311の出力を遅延し、加算器312の入力とする。加算器312は加算器311の出力と遅延器302の出力を加算する。3番目の遅延器303は加算器312の出力を遅延し、加算器313の入力とする。加算器313は加算器312の出力と遅延器303

の出力を加算する。4番目の遅延器304は加算器313の出力を遅延し、加算器314の入力とする。加算器314は加算器313の出力と遅延器304の出力を加算する。第1のデシメーション回路351は加算器314の64fsの出力信号列を64fsの半分の周波数のクロックφ2(=32fs)の信号列に間引く。

【0083】第1のデシメーションフィルタ371は、遅延器301、302、303、304、加算器311、312、313、314および第1のデシメーション回路351で構成されている。上記の構成のうち第1のデシメーション回路351を除く部分が第1のフィルタ361を構成しており、第1のフィルタ361と第1のデシメーション回路351とによって第1のデシメーションフィルタ371が構成されている。第1のデシメーション回路351は、64fsの入力信号に対し32fsで信号を出力する。

【0084】第2のデシメーションフィルタ372において、段数8のシフトレジスタ321、322、323は、第1のデシメーションフィルタ371のクロックφ1(64fs)の2分の1の周波数のクロックφ2(32fs)で動作し、信号をクロックφ2の8クロック分遅延して出力する。1番目のシフトレジスタ321は前段の第1のデシメーションフィルタ371の出力を遅延し、シフトレジスタ322の入力とする。2番目のシフトレジスタ322はシフトレジスタ321の出力を遅延し、シフトレジスタ323の入力とする。3番目のシフトレジスタ323はシフトレジスタ322の出力を遅延し、出力する。減算器315は第1のデシメーションフィルタ371の出力から3番目のシフトレジスタ323の出力を減算する。減算器316は2番目のシフトレジスタ322の出力から1番目のシフトレジスタ321の出力を減算する。乗算器331は減算器316の出力を3倍にして出力する。加算器317は減算器315の出力と乗算器331の出力を加算する。1番目の積分器341は加算器317の出力を積分して出力する。2番目の積分器342は積分器341の出力を積分して出力する。3番目の積分器343は積分器342の出力を積分して出力する。第2のデシメーション回路352は3番目の積分器343の32fsの出力信号列を32fsのK分の1すなわちここでは8分の1の周波数4fsの信号列に間引く。

【0085】第2のデシメーションフィルタ372は、シフトレジスタ321、322、323、減算器315、316、加算器317、乗算器331、積分器341、342、343および第2のデシメーション回路352で構成されている。上記の構成のうち第2のデシメーション回路352を除く部分が第2のフィルタ362を構成しており、第2のフィルタ362と第2のデシメーション回路352とによって第2のデシメーションフィルタ372が構成されている。第2のデシメーション

フィルタ372は、32fsの入力信号に対しローパスフィルタ処理を行い、4fsで信号を出力する。シフトレジスタ321、322、323の段数8が第2のフィルタ362の伝達関数H4(Z)の次数K=8を決めている。また、積分器341、342、343の個数が第2のフィルタ362の伝達関数H4(Z)の積分次数M=3を決めている。

【0086】以上のように構成された実施の形態3に係るデシメーションフィルタDF3について、以下にその動作を説明する。

【0087】4次デルタシグマ変調器381はアナログ入力信号と量子化誤差の4次微分特性を有する64fsのデジタル信号を出力する。第1のデシメーションフィルタ371は、その3次微分特性を有する64fsのデジタル信号を入力し、クロックφ1(64fs)で動作する。第1のデシメーション回路351を除く第1のフィルタ361の動作により、(数10)に示す伝達関数H3(Z)のローパスフィルタ特性をもつ。

【0088】

【数10】

$$H3(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^4$$

【0089】クロックφ1(64fs)の周波数の2分の1の周波数(32fs)にゼロ点をもち、4次の積分特性を有する。伝達関数H3(Z)のローパスフィルタである第1のフィルタ361のゲインは、2の4乗倍(2⁴)になる。(数10)による信号列は第1のデシメーション回路351により2分の1の周波数32fsの信号列になる。

【0090】第2のデシメーションフィルタ372の入力信号は、第1のデシメーションフィルタ371の出力信号である32fsのデジタル信号である。第2のデシメーションフィルタ372はクロックφ2(32fs)

$$H32(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^4 * \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

【0096】この総合の伝達関数H32(Z)のローパスフィルタの周波数特性は図5に示すとおりである。

【0097】実施の形態3に係るデシメーションフィルタDF3の総合の伝達関数H32(Z)のゲインは8192倍(=2⁴×8³)である。

【0098】以上のように本実施の形態3に係るデシメーションフィルタDF3は、デシメーション(間引き)処理を、第1のデシメーションフィルタ371と第2のデシメーションフィルタ372とに分割して実現することで、第1のデシメーションフィルタ371により4次デルタシグマ変調器381の出力の4次微分特性を相殺

s)で動作する。第2のデシメーション回路352を除く第2のフィルタ362の動作により、(数7)に示す伝達関数H2(Z)のローパスフィルタ特性をもつ。

【0091】

【数7】

$$H2(Z) = \left(\frac{1-Z^{-8}}{1-Z^{-1}} \right)^3$$

【0092】この第2のフィルタ362はクロックφ2(32fs)の周波数の8分の1の周波数(4fs)の整数倍毎にゼロ点をもち、3次の積分特性を有する。よって、伝達関数H2(Z)のローパスフィルタである第2のフィルタ362のゲインは、8の3乗倍(8³)になる。(数7)による信号列は第2のデシメーション回路352により8分の1の周波数4fsの信号列になる。第2のフィルタ362がもつローパスフィルタ特性についてのクロックφ2を基準とする伝達関数H2(Z)を2倍の周波数をもつクロックφ1の基準で書き直すと、(数8)に示す伝達関数H2'(Z)になる。

【0093】

【数8】

$$H2'(Z) = \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

【0094】よって、本実施の形態3に係るデシメーションフィルタDF3は、第1のデシメーションフィルタ371における第1のフィルタ361の伝達関数H3(Z)と第2のデシメーションフィルタ372における第2のフィルタ362の伝達関数H2'(Z)とを掛け算したものであり、(数11)に示す総合の伝達関数H32(Z)のローパスフィルタ特性をもつことになる。

【0095】

【数11】

【0096】この総合の伝達関数H32(Z)のローパスフィルタの周波数特性は図5に示すとおりである。

【0099】なお、デルタシグマ変調器とデシメーションフィルタの次数および動作周波数は説明のための一例であり、もちろん、これに限定するものではない。

【0100】

【発明の効果】以上述べたように本発明に係るデシメーションフィルタによれば、デシメーション処理を複数個のデシメーションフィルタを用いて分割処理することで、回路規模と消費電力の削減を図ることができる。さらに、デシメーションフィルタに入力する信号がデルタシグマ変調器の出力の場合は、回路規模と消費電力を大幅に削減することができる。また、前段のデルタシグマ変調器の次数の変更に伴うデシメーションフィルタの回路規模と消費電力の増加を最小限に抑えることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るデシメーションフィルタの構成を示すブロック図である。

【図2】本発明の実施の形態2に係るデシメーションフィルタの構成を示すブロック図である。

【図3】本発明の実施の形態3に係るデシメーションフィルタの構成を示すブロック図である。

【図4】本発明の実施の形態1および実施の形態2に係るデシメーションフィルタの周波数特性を示す図である。

【図5】本発明の実施の形態3に係るデシメーションフィルタの周波数特性を示す図である。

【図6】従来の技術に係るデシメーションフィルタの構成を示すブロック図である。

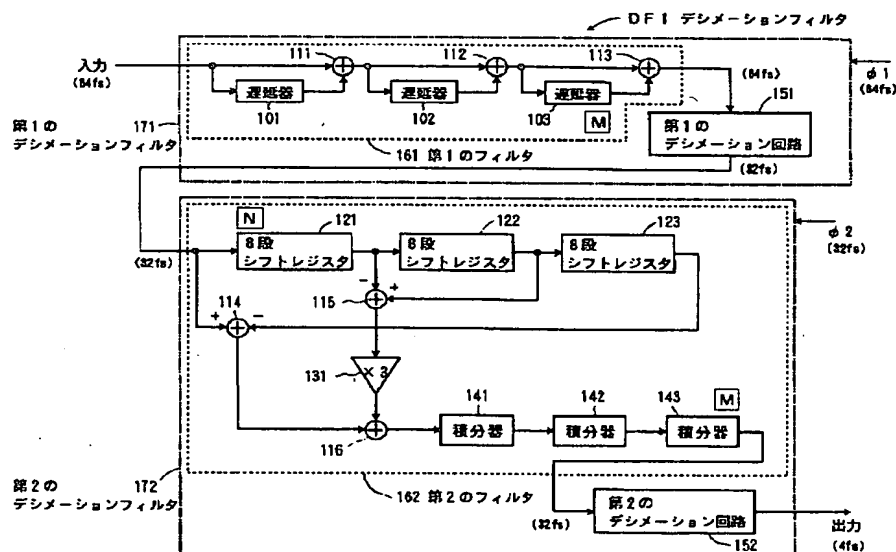
【図7】従来の技術に係るデシメーションフィルタの周

波数特性を示す図である。

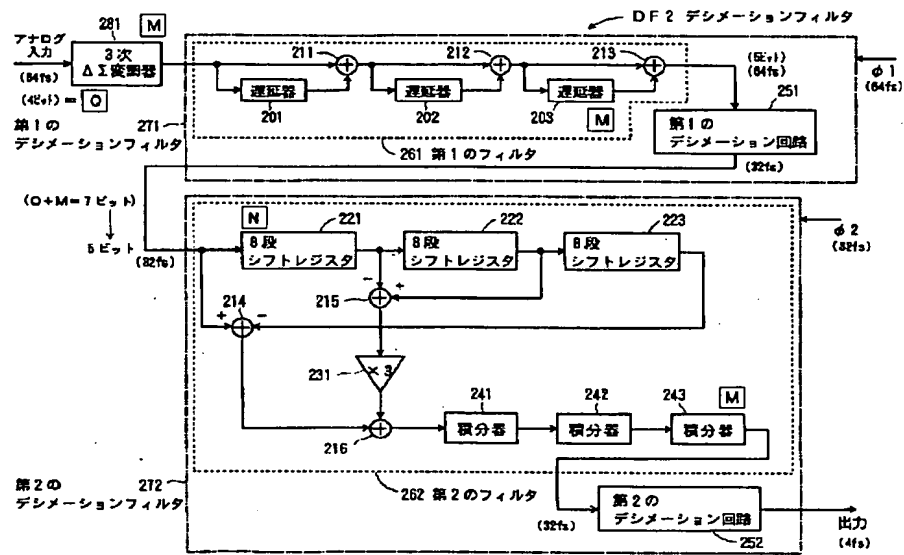
【符号の説明】

101～103, 201～203, 301～304……
遅延器
111～113, 116, 211～213, 216, 3
11～314, 317……加算器
114, 115, 214, 215, 315, 316……
減算器
121～123, 221～223, 321～323……
8段シフトレジスタ
131, 231, 331……乗算器
141～143, 241～243, 341～343……
積分器
151, 251, 351……第1のデシメーション回路
152, 252, 352……第2のデシメーション回路
161, 261, 361……第1のフィルタ
162, 262, 362……第2のフィルタ
171, 271, 371……第1のデシメーションフィルタ
172, 272, 372……第2のデシメーションフィルタ
281……3次デルタシグマ変調器
381……4次デルタシグマ変調器
DF1, DF2, DF3……デシメーションフィルタ

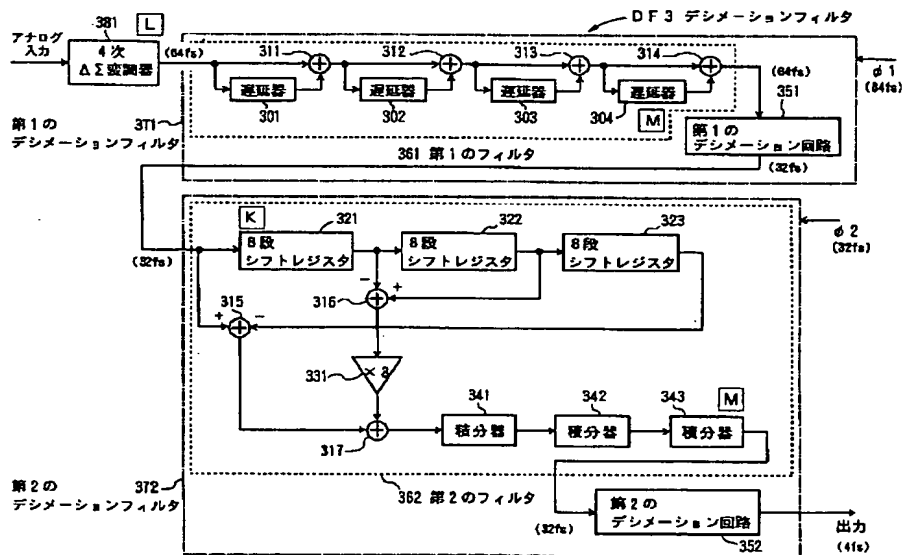
【図1】



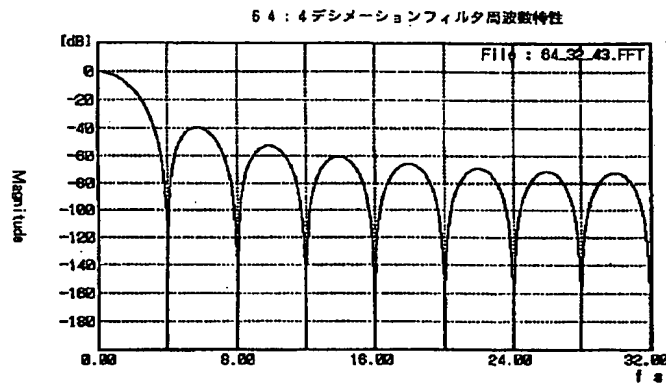
【図2】



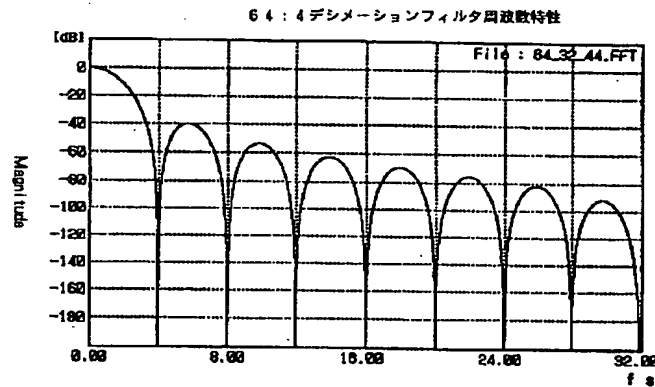
【図3】



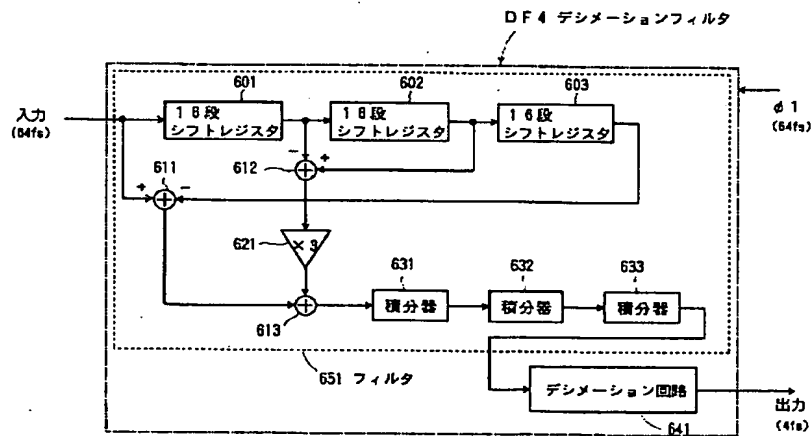
【図4】



【図5】

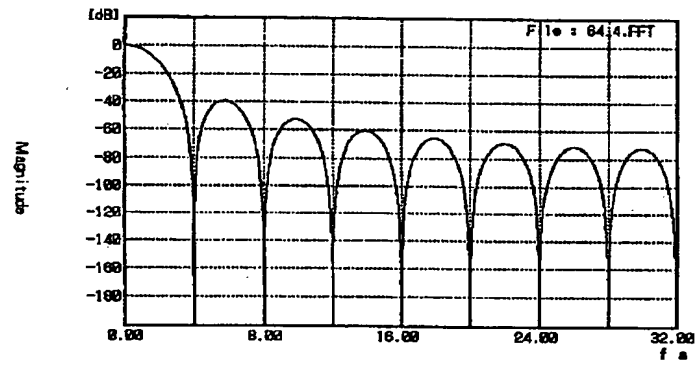


【図6】



【図7】

64:4デシメーションフィルタ周波数特性



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209815

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H03H 17/00

H03H 17/02

H03H 17/02

H03M 3/02

(21)Application number : 09-012845

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.01.1997

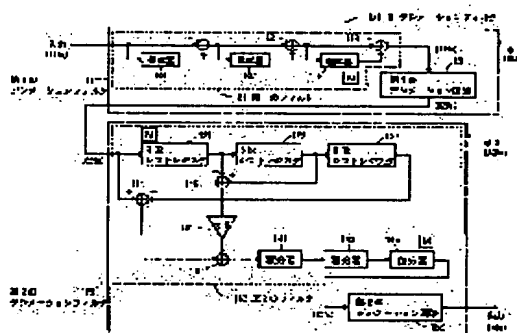
(72)Inventor :
HATANAKA HIDEAKI
KANEAKI TETSUHIKO
SOBASHIMA AKIRA

(54) DECIMATION FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale and power consumption of a decimation filter by operating a dividing processing by plural decimation circuits using plural decimation filters having a specific transfer function which operate with a clock with a specific frequency.

SOLUTION: This decimation filter is constituted of first and second decimation filters 171 and 172, and the first decimation filter 171 has a transfer function $H1(Z)$ by Z transformation indication indicated by an expression 1 and the second decimation filter 172 has a transfer function $H2(Z)$ indicated by an expression II. In the expressions 1 and II, M and N are natural numbers. Then, a first decimation circuit 151 operates the decimation of the output of a first filter 161 into $1/2$, and a second decimation circuit 152 operates the decimation of the output of a second filter 162 inputs the output of the first decimation circuit 151 into $1/N$. In this case, the second filter 162 operates with a clock with a frequency which is $1/2$ of that of the first filter 161.



$$H1(Z) = \left(\frac{1-Z^{-M}}{1-Z^{-1}} \right)^M \quad I$$

$$H2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^N \quad II$$

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Let M be the natural number. [Equation 1]

$$H1(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^M$$

The output of the 1st filter which comes out and has the transfer function H1 by the Z transform display expressed (Z), the 1st decimation circuit which carries out decimation of the output of the 1st filter of the above to 1/2, and the decimation circuit of the above 1st is considered as an input, and let N be the natural number. [Equation 2]

$$H2(Z) = \left(\frac{1 - Z^{-N}}{1 - Z^{-1}} \right)^M$$

The decimation filter characterized by having the 2nd filter which comes out and has the transfer function H2 (Z) expressed, and the 2nd decimation circuit which carries out decimation of the output of the 2nd filter of the above to 1 part N, being constituted, and being constituted so that the 2nd filter of the above may operate with the clock of 1/2 of the frequency of the 1st filter of the above.

[Claim 2] The decimation filter according to claim 1 characterized by being constituted so that the input to the 1st filter may be an output of the Mth delta sigma modulator which changes an analog signal into a Q bits (Q is the natural number) digital signal and the output number of bits of the 1st filter of the above may be the following (Q+M).

[Claim 3] The output of the Lth delta sigma modulator (L is the natural number) which changes an analog signal into a digital signal, and the aforementioned delta sigma modulator is considered as an input. [Equation 3]

$$H3(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^L$$

The output of the 1st filter which comes out and has the transfer function H3 (Z) expressed, the 1st decimation circuit which carries out decimation of the output of the 1st filter of the above to 1/2, and the decimation circuit of the above 1st is considered as an input, and let K and M be the natural numbers. [Equation 4]

$$H4(Z) = \left(\frac{1 - Z^{-K}}{1 - Z^{-1}} \right)^M$$

Have the 2nd filter which comes out and has the transfer function H4 (Z) expressed, and the 2nd decimation circuit which carries out decimation of the output of the 2nd filter of the above to 1/K, and it is constituted. The decimation filter characterized by being constituted so that the 2nd filter of the above may operate with the clock of 1/2 of the frequency of the 1st filter of the above, and setting the degree M of the 2nd filter of the above to under the degree L of the 1st filter of the above.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the decimation filter which changes the sampling frequency of the digitized analog signal and operates a signal train on a curtailed schedule.

[0002]

[Description of the Prior Art] The conventional decimation filter is explained using drawing 6. In addition, about this technology, "National Technical Report VOL.34No.2 Apr.1988 p.p.43" has the publication.

[0003] Drawing 6 is the block diagram showing the composition of the conventional decimation filter. The clock ϕ_1 of operation has the frequency (64fs) of 64 times as much over sampling technique as a sampling frequency fs (it is only indicated as fs below). The shift register 601, 602, 603 of a number of stages 16 delays a signal by 16 of the clock ϕ_1 of operation clocks. The 1st shift register 601 delays for it and outputs an input signal. The 2nd shift register 602 considers the output of a shift register 601 as an input, and delays for it and outputs it. The 3rd shift register 603 considers the output of a shift register 602 as an input, and delays for it and outputs it. A subtractor 611 subtracts the output of the 3rd shift register 603 from an input signal. A multiplier 621 doubles the output of a subtractor 612 three. An adder 613 adds the output of a subtractor 611, and the output of a multiplier 621. The 1st integrator 631 integrates with the output of an adder 613. The 2nd integrator 632 integrates with the output of an integrator 631. The 3rd integrator 633 integrates with the output of an integrator 632. The decimation circuit 641 thins out the output signal train of the 3rd integrator 633 in the signal train of 1/16. The portion except the decimation circuit 641 constitutes the filter 651 which operates with a clock ϕ_1 among the above-mentioned composition, and the decimation filter DF 4 is constituted by the filter 651 and the decimation circuit 641.

[0004] Next, operation of the decimation filter DF 4 constituted as mentioned above is explained. The decimation filter DF 4 operates with a clock ϕ_1 . The filter 651 except the decimation circuit 641 has the low pass filter property of transfer function H (Z) shown in (several 5).

[0005]

[Equation 5]

$$H(Z) = \left(\frac{1 - Z^{-16}}{1 - Z^{-1}} \right)^3$$

[0006] The frequency characteristic of the low pass filter of this transfer function H (Z) is shown in drawing 7.

[0007] This filter 651 is called radial fin type filter from the property. It has the zero point for 1/16 of every integral multiples of frequency 4fs of the frequency (64fs) of a clock ϕ_1 , and has the 3rd integration property. The gain with this transfer function H (Z) of a low pass filter 651 becomes twice [cube] (163) 16. The signal train by (several 5) turns into a signal train of frequency 4fs of 1/16 by the decimation circuit 641.

[0008] The circuit scale of this decimation filter DF 4 is proportional to the number of bits of an input signal, and power consumption is proportional to a circuit scale and a clock of operation. Moreover, a change of the integration degree of a low pass filter 651 is made by change of the suffix of the shoulder of transfer function H (Z) shown in (several 5).

[0009]

[Problem(s) to be Solved by the Invention] In the conventional decimation filter, a circuit scale increases in proportion to the number of bits of an input signal, or the integration degree of a low pass filter, and power consumption increases in proportion to a circuit scale and a clock of operation.

[0010] this invention aims at the circuit scale of a decimation filter, and curtailment of power consumption.

[0011]

[Means for Solving the Problem] The decimation filter applied to this invention in order to solve this technical problem makes M the natural number, and is [0012].

[Equation 1]

$$H_1(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^M$$

[0013] It is [0014], considering the output of the 1st filter which comes out and has the transfer function H1 by the Z transform display expressed (Z), the 1st decimation circuit which carries out decimation of the output of the 1st filter of the above to 1/2, and the decimation circuit of the above 1st as an input, and using N as the natural number.

[Equation 2]

$$H2(Z) = \left(\frac{1 - Z^{-N}}{1 - Z^{-1}} \right)^M$$

[0015] It is characterized by having the 2nd filter which comes out and has the transfer function $H2(Z)$ expressed, and the 2nd decimation circuit which carries out decimation of the output of the 2nd filter of the above to 1 part N, being constituted, and being constituted so that the 2nd filter of the above may operate with the clock of 1/2 of the frequency of the 1st filter of the above. Thereby, since the 2nd filter operates with the clock of 1/2 of the frequency of the 1st filter, the power consumption of a decimation filter is reducible.

[0016] Moreover, the decimation filter concerning this invention is characterized by being constituted so that the input to the 1st filter may be an output of the Mth delta sigma modulator which changes an analog signal into a Q bits (Q is the natural number) digital signal and the output number of bits of the 1st filter of the above may be the following (Q+M) in the above-mentioned composition. Since the 2nd filter operates with the clock of 1/2 of the frequency of the 1st filter and the output number of bits of the 1st filter moreover becomes the following (Q+M) by this, curtailment of the circuit scale of a decimation filter and curtailment of large power consumption can be aimed at.

[0017] Furthermore, the decimation filter concerning this invention considers the output of the Lth delta sigma modulator (L is the natural number) which changes an analog signal into a digital signal, and the aforementioned delta sigma modulator as an input, and is [0018].

[Equation 3]

$$H3(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^L$$

[0019] It is [0020], considering the output of the 1st filter which comes out and has the transfer function $H3(Z)$ expressed, the 1st decimation circuit which carries out decimation of the output of the 1st filter of the above to 1/2, and the decimation circuit of the above 1st as an input, and using K and M as the natural number.

[Equation 4]

$$H4(Z) = \left(\frac{1 - Z^{-K}}{1 - Z^{-1}} \right)^M$$

[0021] Have the 2nd filter which comes out and has the transfer function $H4(Z)$ expressed, and the 2nd decimation circuit which carries out decimation of the output of the 2nd filter of the above to 1/K, and it is constituted. It is characterized by being constituted so that the 2nd filter of the above may operate with the clock of 1/2 of the frequency of the 1st filter of the above, and setting the degree M of the 2nd filter of the above to under the degree L of the 1st filter of the above. Since the 2nd filter operates with the clock of 1/2 of the frequency of the 1st filter and the degree M of the 2nd filter is moreover set to under the degree L of the 1st filter, when the degree of a delta sigma modulator increases, a decimation filter can respond only by degree change of the 1st filter. Thereby, the circuit scale of the whole decimation filter and the increase in power consumption accompanying the increase in a degree of a delta sigma modulator can be suppressed to the minimum.

[0022]

[Embodiments of the Invention] The decimation filter of the claim 1 concerning this invention makes M the natural number, and is [0023].

[Equation 1]

$$H1(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^M$$

[0024] It is [0025], considering the output of the 1st filter which comes out and has the transfer function $H1$ by the Z transform display expressed (Z), the 1st decimation circuit which carries out decimation of the output of the 1st filter of the above to 1/2, and the decimation circuit of the above 1st as an input, and using N as the natural number.

[Equation 2]

$$H2(Z) = \left(\frac{1 - Z^{-N}}{1 - Z^{-1}} \right)^M$$

[0026] It is characterized by having the 2nd filter which comes out and has the transfer function $H2(Z)$ expressed, and the 2nd decimation circuit which carries out decimation of the output of the 2nd filter of the above to 1 part N, being constituted, and being constituted so that the 2nd filter of the above may operate with the clock of 1/2 of the frequency of the 1st filter of the above. Since the 2nd filter operates with the clock of 1/2 of the frequency of the 1st filter, the power consumption of a decimation filter is reducible.

[0027] The decimation filter of the claim 2 concerning this invention is characterized by being constituted so that the input to the 1st filter may be an output of the Mth delta sigma modulator which changes an analog signal into a Q bits (Q is the natural number) digital signal and the output number of bits of the 1st filter of the above may be the following (Q+M) in the above-mentioned claim 1. Since the 2nd filter operates with the clock of 1/2 of the frequency

of the 1st filter and the output number of bits of the 1st filter moreover becomes the following (Q+M), curtailment of the circuit scale of a decimation filter and curtailment of large power consumption can be aimed at.

[0028] The decimation filter of the claim 3 concerning this invention considers the output of the Lth delta sigma modulator (L is the natural number) which changes an analog signal into a digital signal, and the aforementioned delta sigma modulator as an input, and is [0029].

[Equation 3]

$$H3(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^L$$

[0030] It is [0031], considering the output of the 1st filter which comes out and has the transfer function H3(Z) expressed, the 1st decimation circuit which carries out decimation of the output of the 1st filter of the above to 1/2, and the decimation circuit of the above 1st as an input, and using K and M as the natural number.

[Equation 4]

$$H4(Z) = \left(\frac{1 - Z^{-K}}{1 - Z^{-1}} \right)^M$$

[0032] Have the 2nd filter which comes out and has the transfer function H4(Z) expressed, and the 2nd decimation circuit which carries out decimation of the output of the 2nd filter of the above to 1/K, and it is constituted. It is characterized by being constituted so that the 2nd filter of the above may operate with the clock of 1/2 of the frequency of the 1st filter of the above, and setting the degree M of the 2nd filter of the above to under the degree L of the 1st filter of the above. Since the 2nd filter operates with the clock of 1/2 of the frequency of the 1st filter and the degree M of the 2nd filter is moreover set to under the degree L of the 1st filter, when the degree of a delta sigma modulator increases, a decimation filter can respond only by degree change of the 1st filter. Thereby, the circuit scale of the whole decimation filter and the increase in power consumption accompanying the increase in a degree of a delta sigma modulator can be suppressed to the minimum.

[0033] Hereafter, the gestalt of concrete operation of the decimation filter concerning this invention is explained in detail based on a drawing.

[0034] [Gestalt 1 of operation] Drawing 1 is the block diagram showing the composition of the decimation filter concerning the gestalt 1 of operation of this invention. This decimation filter DF 1 consists of the 1st decimation filter 171 and the 2nd decimation filter 172. It is [0035], when the transfer function H1 of the 1st filter 161 in the 1st decimation filter 171 (Z) is set to (several 1) and the transfer function H2 of the 2nd filter 162 in the 2nd decimation filter 172 (Z) is set to (several 2).

[Equation 1]

$$H1(Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^M$$

[0036]

[Equation 2]

$$H2(Z) = \left(\frac{1 - Z^{-N}}{1 - Z^{-1}} \right)^M$$

[0037] It is alike, it sets and the case of the integration degree M= 3 and the shift register number of stages N= 8 is shown.

[0038] In the 1st decimation filter 171 shown in drawing 1, the delay machine 101,102,103 operates with the clock of a sampling frequency fs (it is only indicated as fs below)] phi 1 of 64 time over sampling technique of frequency 64fs, is delayed by 1 of a clock phi 1 clock, and outputs a signal. The 1st delay machine 101 is delayed and considers an input signal as the input of an adder 111. An adder 111 adds the output of an input signal and the delay machine 101. The 2nd delay machine 102 is delayed and considers the output of an adder 111 as the input of an adder 112. An adder 112 adds the output of an adder 111, and the output of the delay machine 102. The 3rd delay machine 103 is delayed and considers the output of an adder 112 as the input of an adder 113. An adder 113 adds the output of an adder 112, and the output of the delay machine 103. The 1st decimation circuit 151 thins out the output signal train of 64fs(es) of an adder 113 in the signal train of the clock phi 2 (=32fs) of the frequency of the half of 64fs(es).

[0039] The 1st decimation filter 171 consists of a delay machine 101,102,103, an adder 111,112,113, and the 1st decimation circuit 151. The portion except the decimation circuit 151 of [1st] the above-mentioned composition constitutes the 1st filter 161, and the 1st decimation filter 171 is constituted by the 1st filter 161 and the 1st decimation circuit 151. The 1st decimation circuit 11 is thinned out in 1/2 to the input signal of 64fs, and outputs a signal by 32fs(es). The number 3 of the delay machine 101,102,103 has determined the integration degree M= 3 of the transfer function H1 of the 1st filter 161 (Z).

[0040] In the 2nd decimation filter 172, the shift register 121,122,123 of a number of stages 8 operates with the clock phi 2 (32fs) of 1/2 of the frequency of the clock phi 1 (64fs) of the 1st decimation filter 171, is delayed by 8 of a clock phi 2 clocks, and outputs a signal. The 1st shift register 121 is delayed and considers the output of the 1st decimation filter 171 of the preceding paragraph as the input of a shift register 122. The 2nd shift register 122 is delayed and considers the output of a shift register 121 as the input of a shift register 123. The 3rd shift register 123 delays for it

and outputs the output of a shift register 122. A subtractor 114 subtracts the output of the 3rd shift register 123 from the output of the 1st decimation filter 171. A subtractor 115 subtracts the output of the 1st shift register 121 from the output of the 2nd shift register 122. A multiplier 131 outputs by increasing the output of a subtractor 115 3 times. An adder 116 adds the output of a subtractor 114, and the output of a multiplier 131. The 1st integrator 141 integrates with and outputs the output of an adder 116. The 2nd integrator 142 integrates with and outputs the output of an integrator 141. The 3rd integrator 143 integrates with and outputs the output of an integrator 142. The 2nd decimation circuit 152 thins out the output signal train of 32fs(es) of the 3rd integrator 143 in the signal train of frequency 4fs of 1/8 1 part N of 32fs(s), i.e., here.

[0041] The 2nd decimation filter 172 consists of a shift register 121,122,123, a subtractor 114,115, an adder 116, a multiplier 131, an integrator 141,142,143, and the 2nd decimation circuit 152. The portion except the decimation circuit 152 of [2nd] the above-mentioned composition constitutes the 2nd filter 162, and the 2nd decimation filter 172 is constituted by the 2nd filter 162 and the 2nd decimation circuit 152. The 2nd decimation filter 172 performs low pass filter processing to the input signal of 32fs, and outputs a signal by 4fs. The number of stages 8 of a shift register 121,122,123 has determined the degree N= 8 of the transfer function H2 of the 2nd filter 162 (Z). Moreover, the number of an integrator 141,142,143 has determined the integration degree M= 3 of the transfer function H2 of the 2nd filter 162 (Z).

[0042] About the decimation filter DF 1 concerning the form 1 of the operation constituted as mentioned above, the operation is explained below.

[0043] Let an input signal be the digital signal of 64fs(es). The 1st decimation filter 171 operates with a clock phi 1 (64fs). By operation of the 1st filter 161 except the 1st decimation circuit 151, it has the low pass filter property of the transfer function H1 (Z) shown in (several 6).

[0044]

[Equation 6]

$$H1 (Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^3$$

[0045] This 1st filter 161 is called radial fin type filter from the property. It has the zero point in 1/2 of the frequency (32fs) of the frequency of a clock phi 1 (64fs), and has the 3rd integration property. Therefore, the gain of the 1st filter 161 which is a low pass filter of a transfer function H1 (Z) becomes twice [cube] (23) 2. this — the number of bits of the input signal of the 2nd decimation filter 172 — the number of bits of the input signal of the 1st decimation filter 171 — a triplet — many bird clappers are shown The signal train by (several 6) turns into a signal train of frequency 32fs of 1/2 by the 1st decimation circuit 151.

[0046] The 2nd decimation filter 172 operates with a clock phi 2 (32fs). By operation of the 2nd filter 162 except the 2nd decimation circuit 152, it has the low pass filter property of the transfer function H2 (Z) shown in (several 7).

[0047]

[Equation 7]

$$H2 (Z) = \left(\frac{1 - Z^{-8}}{1 - Z^{-1}} \right)^3$$

[0048] This 2nd filter 162 has the zero point for every integral multiple of 1/8 of the frequency (4fs) of the frequency of a clock phi 2 (32fs), and has the 3rd integration property. Therefore, the gain of the 2nd filter 162 which is a low pass filter of a transfer function H2 (Z) becomes twice [cube] (83) 8. The signal train by (several 7) turns into a signal train of frequency 4fs of 1/8 by the 2nd decimation circuit 152. It becomes transfer function H2' (Z) shown when the transfer function H2 of the low pass filter property which the 2nd filter 162 has (Z) is expressed with the clock phi 1 with the frequency of double precision (several 8).

[0049]

[Equation 8]

$$H2'(Z) = \left(\frac{1 - Z^{-16}}{1 - Z^{-2}} \right)^3$$

[0050] Therefore, the decimation filter DF 1 concerning the form 1 of this operation will multiply by transfer function H2 of 2nd filter 162 in transfer function [of the 1st filter 161 in the 1st decimation filter 171] H1 (Z), and 2nd decimation filter 172' (Z), and will have the low pass filter property of the synthetic transfer function H12 (Z) shown in (several 9). the case of the decimation filter of drawing 6 which this requires for a Prior art — it is (several 5) — it is the same as shown transfer function H (Z)

[0051]

[Equation 9]

$$H_{12}(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^3 * \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

$$= \left(\frac{1-Z^{-16}}{1-Z^{-1}} \right)^3$$

[0052] The frequency characteristic of the low pass filter of the transfer function H12 of this synthesis (Z) is shown in drawing 4.

[0053] The gain of the transfer function H12 of synthesis of the decimation filter DF 1 concerning the form 1 of this operation (Z) is 4096 times (=163), and is the same as that of the decimation filter of a Prior art.

[0054] The decimation filter DF 1 applied to the form 1 of this operation as mentioned above Decimation (infanticide) processing by dividing and realizing in the 1st decimation filter 171 and the 2nd decimation filter 172 A circuit scale and power consumption can reduce by half the clock of the 2nd big decimation filter 172 of operation to phi 2 (32fs) of 1/2 compared with phi 1 in composition (64fs) conventionally, securing the conventionally same property as the property of the decimation filter of composition. Therefore, power consumption is reducible in the half of the conventional decimation filter. Moreover, if the decimation filter of composition is compared the 2nd decimation filter 172 and conventionally, in the former, a number of stages can set to 8 of a half the number of stages of the shift register which was 16, and can cut down the circuit scale as the whole.

[0055] In addition, the degree and frequency of operation of the decimation filter DF 1 are an example for explanation, and, of course, are not limited to this.

[0056] [Form 2 of operation] Drawing 2 is the block diagram showing the composition of the decimation filter of the form 2 of operation concerning this invention. This decimation filter DF 2 consists of the 1st decimation filter 271 and the 2nd decimation filter 272. It is [0057], when the transfer function H1 of the 1st filter 261 in the 1st decimation filter 271 (Z) is set to (several 1) and the transfer function H2 of the 2nd filter 262 in the 2nd decimation filter 272 (Z) is set to (several 2).

[Equation 1]

$$H_1(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^M$$

[0058]

[Equation 2]

$$H_2(Z) = \left(\frac{1-Z^{-N}}{1-Z^{-1}} \right)^M$$

[0059] It is alike, it sets and the case of the integration degree M= 3 and the shift register number of stages N= 8 is shown. And what changes an analog input signal into the digital signal of 4 bit-64fs is used as a 3rd delta sigma (deltastigma) modulator 281 which doubled the degree with the integration degree M= 3 of the 1st filter 261. Therefore, it is the input number of bits Q= 4 to the 1st filter 261 here.

[0060] In the 1st decimation filter 271, the delay machine 201,202,203 operates with the 64 times as many clock phi 1 of frequency 64fs as a sampling frequency fs, is delayed by 1 of a clock phi 1 clock, and outputs a signal. The 1st delay machine 201 is delayed and considers the output of the 3rd delta sigma modulator 281 as the input of an adder 211. An adder 211 adds the output of the 3rd delta sigma modulator 281, and the output of the delay machine 201. The 2nd delay machine 202 is delayed and considers the output of an adder 211 as the input of an adder 212. An adder 212 adds the output of an adder 211, and the output of the delay machine 202. The 3rd delay machine 203 is delayed and considers the output of an adder 212 as the input of an adder 213. An adder 213 adds the output of an adder 212, and the output of the delay machine 203. The 1st decimation circuit 251 thins out the output signal train of 64fs(es) of an adder 213 in the signal train of the clock phi 2 (=32fs) of the frequency of the half of 64fs(es).

[0061] The 1st decimation filter 271 consists of a delay machine 201,202,203, an adder 211,212,213, and the 1st decimation circuit 251. The portion except the decimation circuit 251 of [1st] the above-mentioned composition constitutes the 1st filter 261, and the 1st decimation filter 271 is constituted by the 1st filter 261 and the 1st decimation circuit 251. The 1st decimation circuit 251 outputs a signal by 32fs(es) to the input signal of 64fs. The number 3 of the delay-machine 201,202,203 has determined the integration degree M= 3 of the transfer function H1 of the 1st filter 261 (Z).

[0062] In the 2nd decimation filter 272, the shift register 221,222,223 of a number of stages 8 operates with the clock phi 2 (32fs) of 1/2 of the frequency of the clock phi 1 (64fs) of the 1st decimation filter 271, is delayed by 8 of a clock phi 2 clocks, and outputs a signal. The 1st shift register 221 is delayed and considers the output of the 1st decimation filter 271 of the preceding paragraph as the input of a shift register 222. The 2nd shift register 222 is delayed and considers the output of a shift register 221 as the input of a shift register 223. The 3rd shift register 223 delays for it and outputs the output of a shift register 222. A subtractor 214 subtracts the output of the 3rd shift register 223 from the output of the 1st decimation filter 271. A subtractor 215 subtracts the output of the 1st shift register 221 from the output of the 2nd shift register 222. A multiplier 231 outputs by increasing the output of a subtractor 215 3 times. An adder 216 adds the output of a subtractor 214, and the output of a multiplier 231. The 1st integrator 241

integrates with and outputs the output of an adder 216. The 2nd integrator 242 integrates with and outputs the output of an integrator 241. The 3rd integrator 243 integrates with and outputs the output of an integrator 242. The 2nd decimation circuit 252 thins out the output signal train of 32fs(es) of the 3rd integrator 243 in the signal train of frequency 4fs of 1/8 1 part N of 32fs(es), i.e., here.

[0063] The 2nd decimation filter 272 consists of a shift register 221,222,223, a subtractor 214,215, an adder 216, a multiplier 231, an integrator 241,242,243, and the 2nd decimation circuit 252. The portion except the decimation circuit 252 of [2nd] the above-mentioned composition constitutes the 2nd filter 262, and the 2nd decimation filter 272 is constituted by the 2nd filter 262 and the 2nd decimation circuit 252. The 2nd decimation filter 272 performs low pass filter processing to the input signal of 32fs, and outputs a signal by 4fs. The number of stages 8 of a shift register 221,222,223 has determined the degree N= 8 of the transfer function H2 of the 2nd filter 262 (Z). Moreover, the number of an integrator 241,242,243 has determined the integration degree M= 3 of the transfer function H2 of the 2nd filter 262 (Z).

[0064] About the decimation filter DF 2 concerning the gestalt 2 of the operation constituted as mentioned above, the operation is explained below.

[0065] The 3rd delta sigma modulator 281 outputs an analog input signal and the digital signal of 4 bit-64fs which has the 3rd differential property of a quantization error. At this time, it is the input number of bits Q= 4. The 1st decimation filter 271 inputs the digital signal of 4 bit-64fs which has the 3rd differential property, and operates with a clock phi 1 (64fs). By operation of the 1st filter 261 except the 1st decimation circuit 251, it has the low pass filter property of the transfer function H1 (Z) shown in (several 6).

[0066]

[Equation 6]

$$H1 (Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^3$$

[0067] The property is Kushigata, and has the zero point in 1/2 of the frequency (32fs) of the frequency of a clock phi 1 (64fs), and this 1st filter 261 has the 3rd integration property. Therefore, the gain of the 1st filter 261 which is a low pass filter of a transfer function H1 (Z) becomes twice [cube] (23) 2. That is, it becomes the increase in a triplet. However, the high frequency component is contained in the output signal of the 3rd delta sigma modulator 281, this high frequency component is decreased with the low pass filter property of the transfer function H1 (Z) shown in (several 6), and the output of an adder 213 becomes 5 bits. The signal train by (several 6) turns into a signal train of frequency 32fs of 1/2 by the 1st decimation circuit 251. Therefore, the 1st decimation filter 271 can lessen the output number of bits to 5 bits in a substantially, although the gain of 4 bits and a transfer function H1 (Z) is a triplet and the input should become 4 bit + triplet = 7 bit on calculation.

[0068] The input signal of the 2nd decimation filter 272 is a digital signal of 5 bit-32fs of the output signal of the 1st decimation filter 271. The 2nd decimation filter 272 operates with a clock phi 2 (32fs). By operation of the 2nd filter 262 except the 2nd decimation circuit 252, it has the low pass filter property of the transfer function H2 (Z) shown in (several 7).

[0069]

[Equation 7]

$$H2 (Z) = \left(\frac{1 - Z^{-8}}{1 - Z^{-1}} \right)^3$$

[0070] This 2nd filter 262 has the zero point for every integral multiple of 1/8 of the frequency (4fs) of the frequency of a clock phi 2 (32fs), and has the 3rd integration property. Therefore, the gain of the 2nd filter 262 which is a low pass filter of a transfer function H2 (Z) becomes twice [cube] (83) 8. The signal train by (several 7) turns into a signal train of frequency 4fs of 1/8 by the 2nd decimation circuit 252. If the transfer function H2 on the basis of the clock phi 2 about the low pass filter property which the 2nd filter 262 has (Z) is rewritten on the criteria of the clock phi 1 with the frequency of double precision, it will become transfer function H2' (Z) shown in (several 8).

[0071]

[Equation 8]

$$H2'(Z) = \left(\frac{1 - Z^{-16}}{1 - Z^{-2}} \right)^3$$

[0072] Therefore, the decimation filter DF 2 concerning the form 2 of this operation will multiply by transfer function H2 of 2nd filter 262 in transfer function [of the 1st filter 261 in the 1st decimation filter 271] H1 (Z), and 2nd decimation filter 272' (Z), and will have the low pass filter property of the synthetic transfer function H12 (Z) shown in (several 9). This is the same as the case of the decimation filter DF 1 concerning the form 1 of operation.

[0073]

[Equation 9]

$$H12(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^3 * \left(\frac{1-Z^{-16}}{1-Z^{-2}} \right)^3$$

$$= \left(\frac{1-Z^{-16}}{1-Z^{-1}} \right)^3$$

[0074] The frequency characteristic of the low pass filter of the transfer function H12 of this synthesis (Z) is as being shown in drawing 4.

[0075] The gain of the transfer function H12 of synthesis of the decimation filter DF 2 concerning the form 2 of this operation (Z) is 4096 times (=163), and is the same as that of the form 1 of operation, or the decimation filter of a Prior art.

[0076] The decimation filter DF 2 applied to the form 2 of this operation as mentioned above Decimation (infanticide) processing by dividing and realizing in the 1st decimation filter 271 and the 2nd decimation filter 272. The clock of the 2nd decimation filter 272 with big circuit scale and power consumption of operation can be conventionally reduced by half to phi 2 (32fs) of 1/2 compared with phi 1 in composition (64fs), securing the form 1 or the conventionally same property as composition of operation. Furthermore, in the case of the analog signal of 4 bit-64fs from the 3rd delta sigma modulator 281, the input signal of the 1st decimation filter 271 can cut down the number of bits of the output signal of the 1st decimation filter 271, and the circuit scale of the 2nd decimation filter 272 can be small constituted in connection with it. Therefore, securing the conventionally same property as the property of the decimation filter of composition, compared with the conventional decimation filter, a circuit scale can be mostly cut down in a half and power consumption can be cut down to a quadrant.

[0077] In addition, the output number of bits of the delta sigma modulator of the preceding paragraph, the degree of a delta sigma modulator and the decimation filter DF 2, and a frequency of operation are examples for explanation, and, of course, are not limited to this.

[0078] [Form 3 of operation] Drawing 3 is the block diagram showing the composition of the decimation filter of the form 3 of operation concerning this invention. This decimation filter DF 3 consists of the 1st decimation filter 371 and the 2nd decimation filter 372. It is [0079], when the transfer function H3 of the 1st filter 361 in the 1st decimation filter 371 (Z) is set to (several 3) and the transfer function H4 of the 2nd filter 362 in the 2nd decimation filter 372 (Z) is set to (several 4).

[Equation 3]

$$H3(Z) = \left(\frac{1-Z^{-2}}{1-Z^{-1}} \right)^L$$

[0080]

[Equation 4]

$$H4(Z) = \left(\frac{1-Z^{-K}}{1-Z^{-1}} \right)^M$$

[0081] It is alike, it sets and the 4th delta sigma modulator 381 which made the degree L= 4 larger than the integration degree M= 3 of the 1st filter 361 is used. Moreover, the case of the integration degree M= 3 and the shift register number of stages K= 8 is shown. The 4th delta sigma modulator 381 changes an input analog input signal into the digital signal of 64fs(es).

[0082] In the 1st decimation filter 371, the delay machine 301,302,303,304 operates with the 64 times as many clock phi 1 of frequency 64fs as a sampling frequency fs, is delayed by 1 of a clock phi 1 clock, and outputs a signal. The 1st delay machine 301 is delayed and considers the output of the 4th delta sigma modulator 381 as the input of an adder 311. An adder 311 adds the output of the 4th delta sigma modulator 381, and the output of the delay machine 301. The 2nd delay machine 302 is delayed and considers the output of an adder 311 as the input of an adder 312. An adder 312 adds the output of an adder 311, and the output of the delay machine 302. The 3rd delay machine 303 is delayed and considers the output of an adder 312 as the input of an adder 313. An adder 313 adds the output of an adder 312, and the output of the delay machine 303. The 4th delay machine 304 is delayed and considers the output of an adder 313 as the input of an adder 314. An adder 314 adds the output of an adder 313, and the output of the delay machine 304. The 1st decimation circuit 351 thins out the output signal train of 64fs(es) of an adder 314 in the signal train of the clock phi 2 (=32fs) of the frequency of the half of 64fs(es).

[0083] The 1st decimation filter 371 consists of a delay machine 301,302,303,304, an adder 311,312,313,314, and the 1st decimation circuit 351. The portion except the decimation circuit 351 of [1st] the above-mentioned composition constitutes the 1st filter 361, and the 1st decimation filter 371 is constituted by the 1st filter 361 and the 1st decimation circuit 351. The 1st decimation circuit 351 outputs a signal by 32fs(es) to the input signal of 64fs.

[0084] In the 2nd decimation filter 372, the shift register 321,322,323 of a number of stages 8 operates with the clock phi 2 (32fs) of 1/2 of the frequency of the clock phi 1 (64fs) of the 1st decimation filter 371, is delayed by 8 of a clock phi 2 clocks, and outputs a signal. The 1st shift register 321 is delayed and considers the output of the 1st decimation filter 371 of the preceding paragraph as the input of a shift register 322. The 2nd shift register 322 is delayed and considers the output of a shift register 321 as the input of a shift register 323. The 3rd shift register 323 delays for it

and outputs the output of a shift register 322. A subtractor 315 subtracts the output of the 3rd shift register 323 from the output of the 1st decimation filter 371. A subtractor 316 subtracts the output of the 1st shift register 321 from the output of the 2nd shift register 322. A multiplier 331 outputs by increasing the output of a subtractor 316 3 times. An adder 317 adds the output of a subtractor 315, and the output of a multiplier 331. The 1st integrator 341 integrates with and outputs the output of an adder 317. The 2nd integrator 342 integrates with and outputs the output of an integrator 341. The 3rd integrator 343 integrates with and outputs the output of an integrator 342. The 2nd decimation circuit 352 thins out the output signal train of 32fs(es) of the 3rd integrator 343 in the signal train of frequency 4fs of 1/8 1/K of 32fs(es), i.e., here.

[0085] The 2nd decimation filter 372 consists of a shift register 321,322,323, a subtractor 315,316, an adder 317, a multiplier 331, an integrator 341,342,343, and the 2nd decimation circuit 352. The portion except the decimation circuit 352 of [2nd] the above-mentioned composition constitutes the 2nd filter 362, and the 2nd decimation filter 372 is constituted by the 2nd filter 362 and the 2nd decimation circuit 352. The 2nd decimation filter 372 performs low pass filter processing to the input signal of 32fs, and outputs a signal by 4fs. The number of stages 8 of a shift register 321,322,323 has determined the degree K= 8 of the transfer function H4 of the 2nd filter 362 (Z). Moreover, the number of an integrator 341,342,343 has determined the integration degree M= 3 of the transfer function H4 of the 2nd filter 362 (Z).

[0086] About the decimation filter DF 3 concerning the form 3 of the operation constituted as mentioned above, the operation is explained below.

[0087] The 4th delta sigma modulator 381 outputs an analog input signal and the digital signal of 64fs(es) which have the 4th differential property of a quantization error. The 1st decimation filter 371 inputs the digital signal of 64fs(es) which have the 3rd differential property, and operates with a clock phi 1 (64fs). By operation of the 1st filter 361 except the 1st decimation circuit 351, it has the low pass filter property of the transfer function H3 (Z) shown in (several 10).

[0088]

[Equation 10]

$$H3 (Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^4$$

[0089] It has the zero point in 1/2 of the frequency (32fs) of the frequency of a clock phi 1 (64fs), and has the 4th integration property. The gain of the 1st filter 361 which is a low pass filter of a transfer function H3 (Z) doubles the 4th power of 2 (24). The signal train by (several 10) turns into a signal train of frequency 32fs of 1/2 by the 1st decimation circuit 351.

[0090] The input signal of the 2nd decimation filter 372 is a digital signal of 32fs(es) which are the output signals of the 1st decimation filter 371. The 2nd decimation filter 372 operates with a clock phi 2 (32fs). By operation of the 2nd filter 362 except the 2nd decimation circuit 352, it has the low pass filter property of the transfer function H2 (Z) shown in (several 7).

[0091]

[Equation 7]

$$H2 (Z) = \left(\frac{1 - Z^{-8}}{1 - Z^{-1}} \right)^3$$

[0092] This 2nd filter 362 has the zero point for every integral multiple of 1/8 of the frequency (4fs) of the frequency of a clock phi 2 (32fs), and has the 3rd integration property. Therefore, the gain of the 2nd filter 362 which is a low pass filter of a transfer function H2 (Z) becomes twice [cube] (83) 8. The signal train by (several 7) turns into a signal train of frequency 4fs of 1/8 by the 2nd decimation circuit 352. If the transfer function H2 on the basis of the clock phi 2 about the low pass filter property which the 2nd filter 362 has (Z) is rewritten on the criteria of the clock phi 1 with the frequency of double precision, it will become transfer function H2' (Z) shown in (several 8).

[0093]

[Equation 8]

$$H2'(Z) = \left(\frac{1 - Z^{-16}}{1 - Z^{-2}} \right)^3$$

[0094] Therefore, the decimation filter DF 3 concerning the form 3 of this operation will multiply by transfer function H2 of 2nd filter 362 in transfer function [of the 1st filter 361 in the 1st decimation filter 371] H3 (Z), and 2nd decimation filter 372' (Z), and will have the low pass filter property of the synthetic transfer function H32 (Z) shown in (several 11).

[0095]

[Equation 11]

$$H32 (Z) = \left(\frac{1 - Z^{-2}}{1 - Z^{-1}} \right)^4 * \left(\frac{1 - Z^{-16}}{1 - Z^{-2}} \right)^3$$

[0096] The frequency characteristic of the low pass filter of the transfer function H32 of this synthesis (Z) is as being shown in drawing 5.

[0097] The gain of the transfer function H32 of synthesis of the decimation filter DF 3 concerning the form 3 of

operation (Z) is 8192 times ($=24 \times 83$).

[0098] The decimation filter DF 3 applied to the form 3 of this operation as mentioned above Decimation (infanticide) processing by dividing and realizing in the 1st decimation filter 371 and the 2nd decimation filter 372 Since the 4th differential property of the output of the 4th delta sigma modulator 381 can be offset with the 1st decimation filter 371, Only the 1st decimation filter 371 is corresponded with the composition which has a 4th integration property, and the 2nd decimation filter 372 can respond with the composition which has a 3rd integration property. Therefore, the circuit scale of the 2nd decimation filter 372 and the increase in power consumption accompanying change of the degree of the delta sigma modulator of the preceding paragraph can be suppressed to the minimum.

[0099] In addition, the degree and frequency of operation of a delta sigma modulator and a decimation filter are an example for explanation, and, of course, are not limited to this.

[0100]

[Effect of the Invention] According to the decimation filter which was described above and which is applied to this invention like, curtailment of a circuit scale and power consumption can be aimed at by carrying out division processing of the decimation processing using two or more decimation filters. Furthermore, when the signal inputted into a decimation filter is the output of a delta sigma modulator, a circuit scale and power consumption can be cut down sharply. Moreover, the circuit scale of a decimation filter and the increase in power consumption accompanying change of the degree of the delta sigma modulator of the preceding paragraph can be suppressed to the minimum.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the composition of the decimation filter concerning the gestalt 1 of operation of this invention.

[Drawing 2] It is the block diagram showing the composition of the decimation filter concerning the gestalt 2 of operation of this invention.

[Drawing 3] It is the block diagram showing the composition of the decimation filter concerning the gestalt 3 of operation of this invention.

[Drawing 4] It is drawing showing the frequency characteristic of the decimation filter concerning the gestalt 1 of operation of this invention, and the gestalt 2 of operation.

[Drawing 5] It is drawing showing the frequency characteristic of the decimation filter concerning the form 3 of operation of this invention.

[Drawing 6] It is the block diagram showing the composition of the decimation filter concerning a Prior art.

[Drawing 7] It is drawing showing the frequency characteristic of the decimation filter concerning a Prior art.

[Description of Notations]

101-103,201-203,301-304 Delay machine

111-113,116,211-213,216,311-314,317 Adder

114, 115, 214,215,315,316 Subtractor

121 to 123,221 to 223,321 to 323....8-step shift register

131,231,331 Multiplier

141-143,241-243,341-343 Integrator

151,251,351 1st decimation circuit

152,252,352 2nd decimation circuit

161,261,361 The 1st filter

162,262,362 The 2nd filter

171,271,371 1st decimation filter

172,272,372 2nd decimation filter

The 281....3rd delta sigma modulator

The 381....4th delta sigma modulator

DF1, DF2, DF3 Decimation filter

[Translation done.]

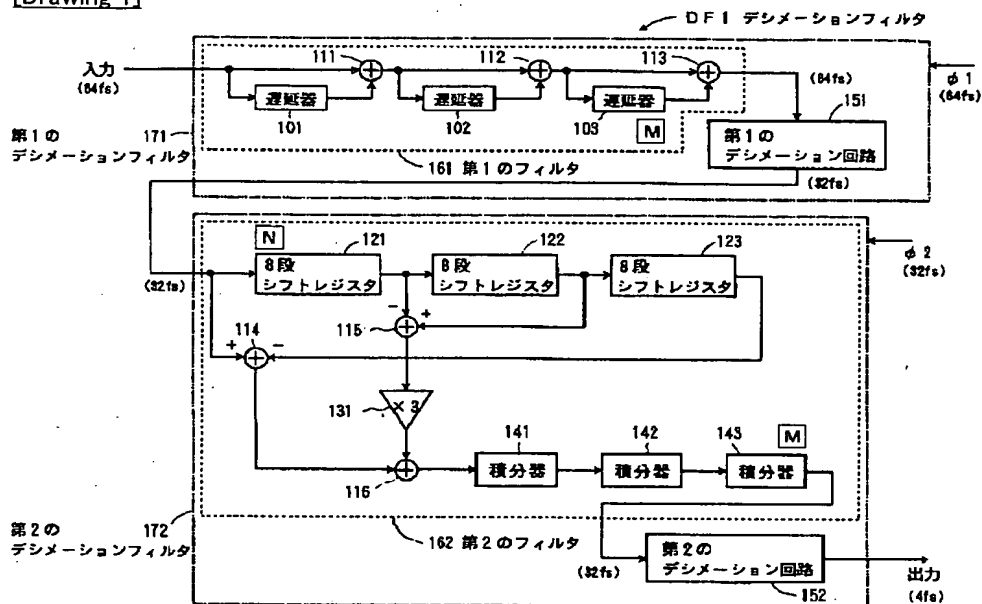
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

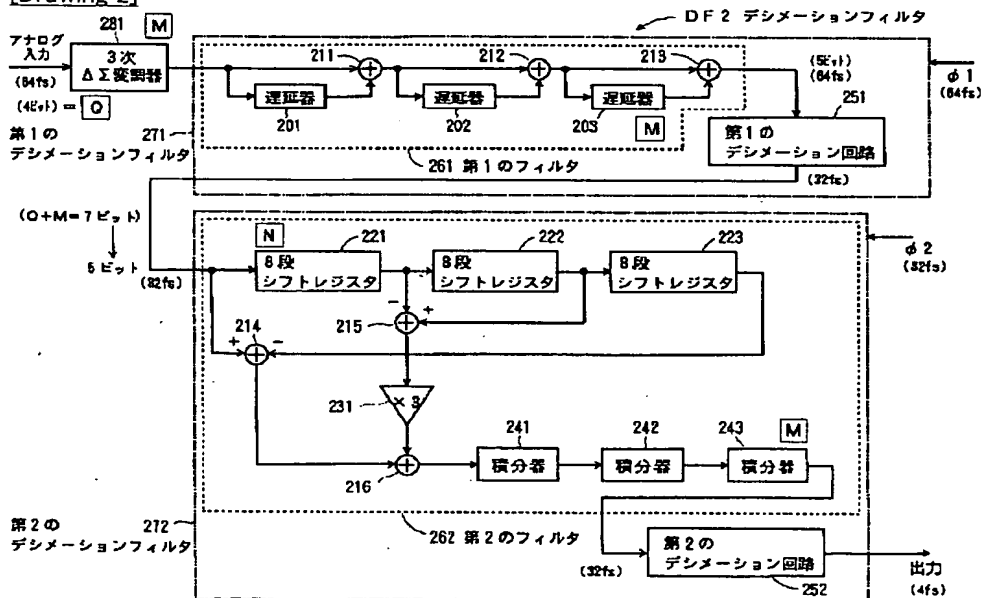
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

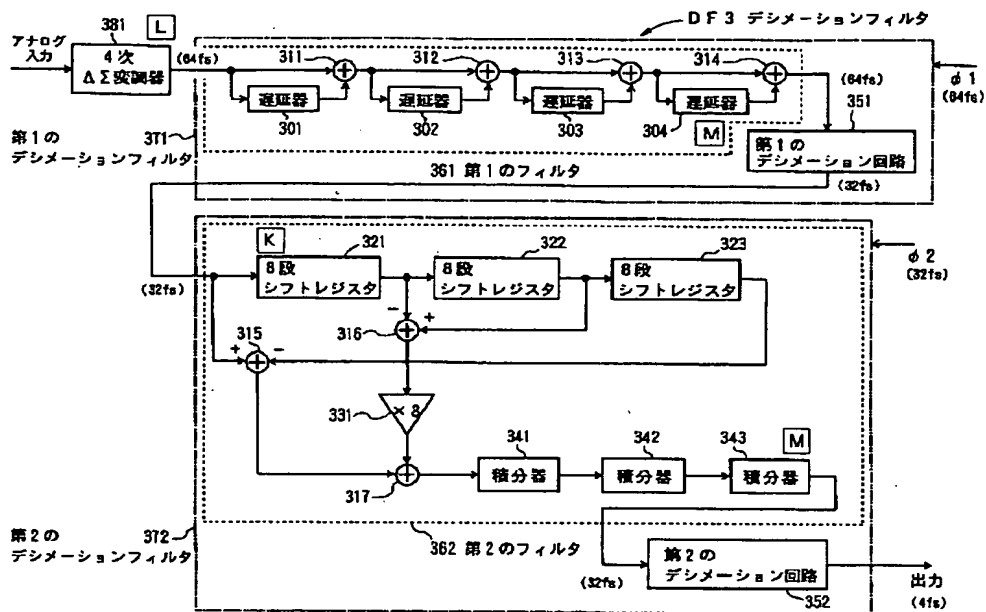
[Drawing 1]



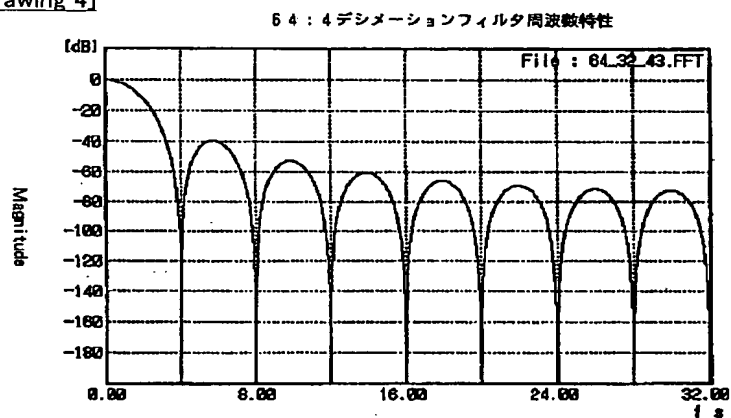
[Drawing 2]



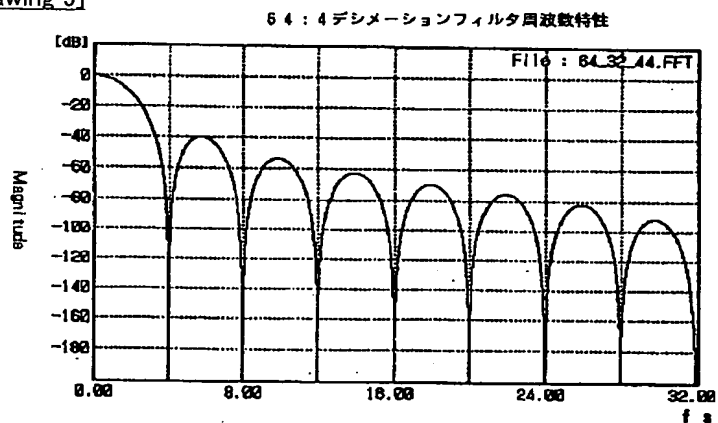
[Drawing 3]



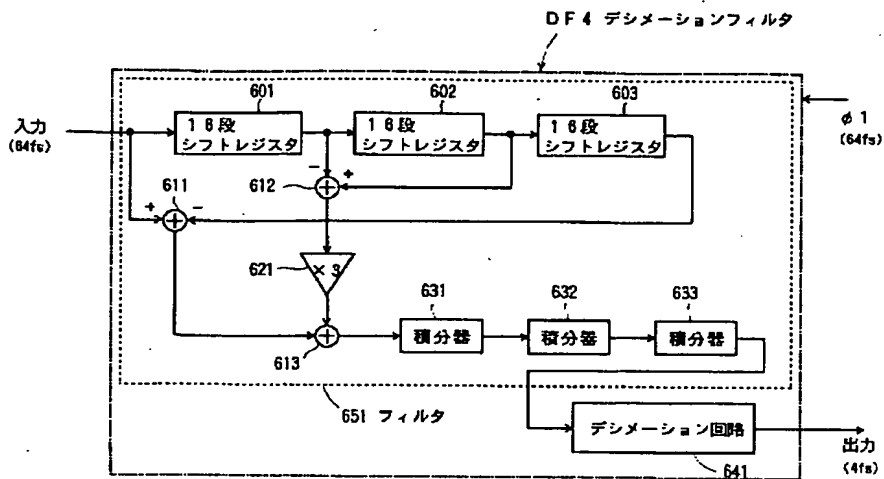
[Drawing 4]



[Drawing 5]

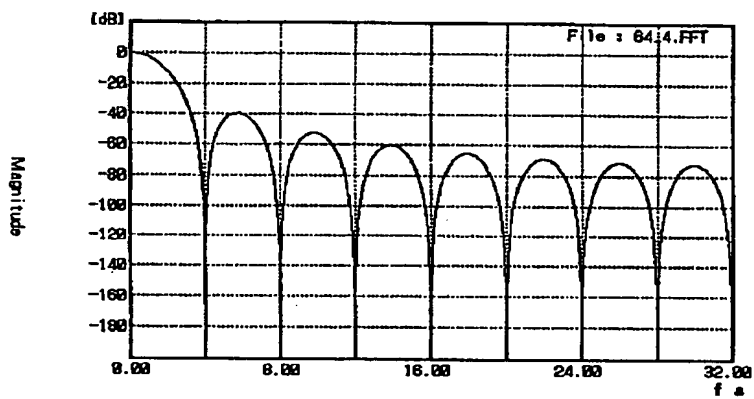


[Drawing 6]



[Drawing 7]

6 4 : 4 デシメーションフィルタ周波数特性



[Translation done.]